

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-127678

(43)Date of publication of application : 11.05.2001

(51)Int.Cl.

H04B 7/08  
H01Q 3/26  
H03H 17/00  
H03H 17/06  
H04B 1/10

(21)Application number : 11-306261

(22)Date of filing : 28.10.1999

(71)Applicant : ALPS ELECTRIC CO LTD

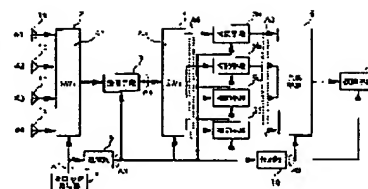
(72)Inventor : OTAKI YUKIO  
UMEDA YUICHI

## (54) ANTENNA RECEIVER

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide an antenna receiver where the structures of a reception means is small and the cost is reduced in the case antenna elements respectively acquire radio signals sent from one signal source and the reception means converts the acquires signals into usable signals and synthesizes them.

**SOLUTION:** A 1st switch means 2 receives signals at its terminals from a plurality of antenna 1a-1b placed apart from each other and outputs the received signals with shifted timing to one output terminal. A reception means 3 that applies reception processing to the received signal is connected to the output terminal of the 1st switch means 2 and a 2nd switch means 4 that provides outputs from terminals in cross-reference with the output timing of the 1st switch means 2 is connected to an output of the reception means 3. Interpolation means 5a-5b that apply Interpolation processing to received signals are connected to each output terminal of the 2nd switch means 4 and synthesis means 6 that synthesizes signals supplied from them is connected to the post-stage of the Interpolation means 5a-5b.



## LEGAL STATUS

[Date of request for examination]

31.01.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-127678

(P2001-127678A)

(43) 公開日 平成13年5月11日 (2001.5.11)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マ-コード <sup>*</sup> (参考)
H 0 4 B 7/08		H 0 4 B 7/08	D 5 J 0 2 1
H 0 1 Q 3/26		H 0 1 Q 3/26	Z 5 K 0 5 2
H 0 3 H 17/00	6 2 1	H 0 3 H 17/00	6 2 1 E 5 K 0 5 9
	17/06		6 1 3 E
H 0 4 B 1/10	6 1 3	H 0 4 B 1/10	H
審査請求 未請求 請求項の数 4 O L (全 12 頁)			

(21) 出願番号 特願平11-306261

(22) 出願日 平成11年10月28日 (1999. 10. 28)

(71) 出願人 000010098

アルプス電気株式会社

東京都大田区雪谷大塚町1番7号

(72) 発明者 大滝 幸夫

東京都大田区雪谷大塚町1番7号 アルプス電気株式会社内

(72) 発明者 梅田 裕一

東京都大田区雪谷大塚町1番7号 アルプス電気株式会社内

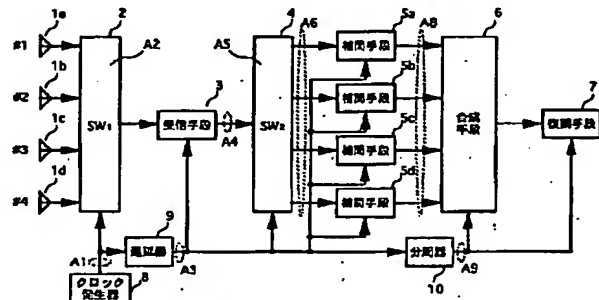
最終頁に続く

(54) 【発明の名称】 アンテナ受信装置

(57) 【要約】

【課題】 同一信号源から送信される無線信号を複数のアンテナ素子でそれぞれ捕捉して、受信手段で利用可能な信号に変換して合成する際に、受信手段の構造が小型で低価格化が可能なアンテナ受信装置を提供する。

【解決手段】 互いに離間して配置された複数のアンテナ1 a乃至1 dの信号端子に、それぞれ供給された信号を互いにタイミングをずらして1つの出力端子から出力する第1スイッチ手段2が接続される。第1スイッチ手段2の出力端子に、供給される信号を受信処理する受信手段3が接続され、受信手段3の出力に、第1スイッチ手段2の出力タイミングに関連付けて複数の端子から出力する第2スイッチ手段4が接続される。第2スイッチ手段4の各出力端子に、供給される信号を補間処理する複数の補間手段5 a乃至5 dが接続され、複数の補間手段5 a乃至5 dの後段に、それらから供給された信号を合成する合成手段6が接続される。



## 【特許請求の範囲】

【請求項1】 互いに離間して配置された複数のアンテナと、該複数のアンテナの信号端子にそれぞれ接続され、供給された信号を互いにタイミングをずらして1つの出力端子から出力する第1スイッチ手段と、該第1スイッチ手段の出力端子に接続され、該第1スイッチ手段から供給される信号を受信処理する受信手段と、該受信手段の出力を、前記第1スイッチ手段の出力タイミングに関連付けて複数の端子から出力する第2スイッチ手段と、該第2スイッチ手段の出力端子にそれぞれ接続され、各出力端子から供給される信号を補間処理する複数の補間手段と、該複数の補間手段の後段にそれぞれに接続され、供給された信号を合成する合成手段とを備えることを特徴とするアンテナ受信装置。

【請求項2】 前記受信手段が、供給される信号を周波数変換してベースバンド信号を生成するベースバンド信号発生器と、該ベースバンド信号発生器に接続され供給される信号を、前記第1スイッチ手段の出力タイミングと相関があるタイミングでアナログーデジタル変換するアナログーデジタル変換器とを備えることを特徴とする請求項1記載のアンテナ受信装置。

【請求項3】 前記複数の補間手段のそれぞれが、供給される信号を記憶するメモリ手段と、該メモリ手段に記憶されているデータを基に補間信号を生成する補間信号生成手段とを備えることを特徴とする請求項1記載のアンテナ受信装置。

【請求項4】 前記補間信号生成手段が、低域通過型特性を有するフィルタであることを特徴とする請求項2記載のアンテナ受信装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、複数のアンテナで個別に受信した信号を合成して復調するアンテナ受信装置に係わり、特に、デジタル無線通信で使用される受信用のアレーアンテナや空間ダイバーシチアンテナに好適なアンテナ受信装置に関する。

## 【0002】

【従来の技術】 音声や映像（動画、静止画）などを高速かつ高品質で伝送可能なデジタル無線通信では、従来のアナログ方式と比較して、ユーザが移動する場合の基地局または端末側での受信品質が向上している。更に高速に移動した場合に生ずる高速フェージングやマルチパス妨害への耐性を強めるための一方法として、PHSにおける基地局の受信ではアダプティブアレーアンテナを用いた信号補償が採用されている。

【0003】 図8に、従来のPHS基地局におけるアンテナ受信装置として代表的な、4素子受信アレーアンテナによるアンテナ受信装置の構成の一例を示す。図8に示す従来のアンテナ受信装置は、4本のアンテナ素子1a乃至1dと、入力アンテナ素子1a乃至1dに接続

された受信手段3a乃至3dと、入力受信手段3a乃至3dの対応する出力に接続され、出力が復調手段7に接続された合成手段6と、復調手段7と、クロック発生器80とを備えている。クロック発生器80の出力は、受信手段3a乃至3dと、合成手段6と、復調手段7とに分配して接続される。

【0004】 次に、図8に示したアンテナ受信装置の動作について、図9乃至図11を参照して説明する。なお、アンテナ素子1a乃至1dは大地に対して水平な同一円周上に、等角度間隔で配置されているものとして説明する。まず、送信デジタル信号によりQPSK変調された無線信号が同一信号源から送信されると、4つのアンテナ素子1a乃至1dはそれぞれその信号電波を捕捉する。捕捉された信号電波は、それぞれ対応する受信手段3a乃至3dに供給される。

【0005】 受信手段3a乃至3dは全て同一の構成を有するもので、例えば、受信手段3aでは、アンテナ素子1aで捕捉された受信信号が、図9に示す受信手段3aの高周波信号（以降、RF信号という）入力端子311に供給され、続いてベースバンド信号（以降、BB信号という）発生器312に供給される。BB信号発生器312は、受信信号の増幅や周波数変換を施して、より低い周波数帯の信号であるBB信号に変換して、A/D変換器313に出力する。A/D変換器313は、クロック入力端子315から供給されるクロック信号に同期して、供給されるアナログ形式のBB信号をデジタル形式のBB信号に変換してBB信号出力端子314に出力する。受信手段3b乃至3dにおいても、受信手段3aと同様の動作が行われる。

【0006】 この結果、受信手段3a乃至3dからは、図11のB1で示されるようなBB信号が出力される。BB信号は、アンテナ素子1a乃至1dの配置形状と、送信された信号電波がアンテナ素子1a乃至1dに到来するときの方向とに依存する振幅位相変化を受け、B1で示されるようなBB信号となる。なお、受信手段3a乃至3dでは、共にクロック発生器80の出力（B2）に同期して動作するので、それらから出力されるBB信号もこれに同期する。

【0007】 合成手段6では、アンテナ素子1a乃至1dの受信信号に対応する4つのBB信号を、図10に示すBB信号入力端子601a乃至601dで受けて、次のような動作を行う。まず、BB信号入力端子601aから供給されるBB信号を移相手段602aにて所定移相量だけ位相回転を施し、続いて振幅補正手段603aにて所定振幅補正量だけ振幅を調整する。BB信号入力端子601b乃至601dから供給されるBB信号についても同様に、それぞれ移相手段602b乃至602dにて所定移相量だけ位相回転を施し、振幅補正手段603b乃至603dにて所定振幅補正量だけ振幅を調整する。この結果、合成手段6の振幅補正手段603a乃至

603dから出力されるBB信号は、図11のB3に示されるように、共に同位相で同一振幅の信号となる。なお、移相手段602a乃至602d及び振幅補正手段603a乃至603dとも、クロック発生器80から供給されるクロック信号に同期して動作するので、振幅補正手段603a乃至603dとから出力されるBB信号も、これに同期して出力される。

【0008】加算手段604では、振幅補正手段603a乃至603dとから出力されるBB信号(B3)を加算し、その結果を加算信号出力端子605に出力する。従って、合成手段6からは、図11のB4に示されるように、信号対雑音電力比(SN比)が十分に高くなったBB信号が出力され、復調手段7に供給される。復調手段7では、SN比が高くなったBB信号を基に、従来のQPSK復調して、送信デジタル信号を復号する。

【0009】

【発明が解決しようとする課題】しかしながら、上記の従来のアンテナ受信装置では、アンテナ素子の数分の受信手段3a乃至3dが必要であり、更に、受信手段3a乃至3dのそれぞれで受信処理されるRF信号が相互に干渉することを防ぐために、受信手段3a乃至3dをそれぞれ電氣的に隔離する構造とする必要があるので、構造的に大型となるという課題があった。また、受信手段3a乃至3dは、各々の受信特性を揃える必要があるため、そのための調整工数も別途必要となり、生産性が低下するという課題があった。

【0010】本発明は、このような課題を解決するものであり、その目的は、同一信号源から送信される無線信号を複数のアンテナ素子でそれぞれ捕捉し、捕捉した信号を1つの受信手段で処理可能として、小型化が可能なアンテナ受信装置を提供することにある。

【0011】

【課題を解決するための手段】前記目的を達成するために、本発明のアンテナ受信装置は、互いに離間して配置された複数のアンテナと、該複数のアンテナの信号端子にそれぞれ接続され、供給された信号を互いにタイミングをずらして1つの出力端子から出力する第1スイッチ手段と、該第1スイッチ手段の出力端子に接続され、該第1スイッチ手段から供給される信号を受信処理する受信手段と、該受信手段の出力を、前記第1スイッチ手段の出力タイミングに関連付けて複数の端子から出力する第2スイッチ手段と、該第2スイッチ手段の出力端子にそれぞれ接続され、各出力端子から供給される信号を補間処理する複数の補間手段と、該複数の補間手段の後段にそれぞれに接続され、供給された信号を合成する合成手段とを備えるものである。

【0012】本発明のアンテナ受信装置によれば、複数のアンテナで捕捉した無線信号を互いにタイミングをずらして1つの出力端子から出力する第1スイッチ手段を、受信手段の入力側に設け、受信手段の出力側に、第

1スイッチ手段の出力タイミングに関連付けて対応する出力端子から信号を出力する第2スイッチ手段を設けた構成としたので、複数のアンテナで捕捉された無線信号がそれぞれタイミングがずれた受信信号に変換され、更に、タイミングがずれた複数の受信信号のそれぞれが補間手段により1つの受信信号のタイミングに同期した信号に変換されて、合成手段において合成されるので、受信手段の数は1つで済む。従って、従来のアンテナ受信装置と比較すると、構造的に小型にすることができる。また、本発明のアンテナ受信装置では1つの受信手段のみを有するので、調整工程を不要とすることができる。

【0013】受信手段が、供給される信号を周波数変換してベースバンド信号を生成するベースバンド信号発生器と、ベースバンド信号発生器に接続され供給される信号を、第1スイッチ手段の出力タイミングと相関があるタイミングでアナログーデジタル変換するアナログーデジタル変換器とを備えたものであることは、複数のアンテナで捕捉した無線信号に対応するベースバンド信号をそれぞれ正確なタイミングで取り込む上で望ましく、また、補間手段における補間処理をデジタル処理により正確に実行する上でも望ましい。また、複数の補間手段のそれぞれが、供給される信号を記憶するメモリ手段と、メモリ手段に記憶されているデータを基に補間信号を生成する補間信号生成手段とを備えたものであることは、所定のタイミングの前後に得られた信号を基に、正確に補間信号を生成する上で望ましい。更に、補間信号生成手段が低域通過型特性を有するフィルタであれば、補間信号を生成する際の信号処理の負荷を少なくする上で望ましい。

【0014】

【発明の実施の形態】以下、本発明の実施の形態を、図面を参照して説明する。図1は、本発明のアンテナ受信装置の第一の実施の形態を示すブロック図であり、従来のアンテナ受信装置と同様に、4素子受信アレーアンテナによるアンテナ受信装置の構成を示すものである。本実施の形態のアンテナ受信装置は、4本のアンテナ素子1a乃至1dと、アンテナ素子1a乃至1dに各々接続された第1スイッチ手段2と、第1スイッチ手段2の出力側に接続された受信手段3と、受信手段3の出力に接続された第2スイッチ手段4と、第2スイッチ手段4の出力側に各々接続された補間手段5a乃至5dと、補間手段5a乃至5dの出力側に接続された合成手段6と、合成手段6の出力側に接続された復調復調手段7と、クロック発生器8と、遅延器9と、分周器10とを備えている。

【0015】クロック発生器8の出力は、第1スイッチ手段2と、遅延器9とに供給され、続いて遅延器9の出力は、受信手段3と、第2スイッチ手段4と、4つの補間手段5a乃至5dと、分周器10とに供給される。更に、分周器10の出力は、合成手段6と、復調手段7と

に分配されて接続される。

【0016】ここで、図1において、アンテナ素子1a乃至1dと、合成手段6と、復調手段7は、図8に示す従来のアンテナ受信装置で用いられているものと同じ構成・動作のものであるので、以下の説明においては同一の符号を付与して説明する。また、合成手段6の具体的構成も、図10に示されるものと同じであるので、同一の符号を付与して説明する。

【0017】受信手段3は、図2に示すように、RF信号入力端子301と、RF信号入力端子301に接続されたBB信号発生器302と、BB信号発生器302の出力側に接続されたA/D変換器303と、A/D変換器303の出力側に接続されたBB信号出力端子304と、A/D変換器303の別の入力側に接続されたクロック入力端子505とを備えている。なお、図8に示す従来のアンテナ受信装置における受信手段3a乃至3d、及び図9に示す受信手段3a乃至3dのそれぞれの具体的構成と比較すると、受信手段3では受信手段3a乃至3dとは異なる周波数を有するクロック信号を入力して動作するので、受信手段3とその具体的構成に関する部分では、別の符号を付与して説明する。

【0018】補間手段5a乃至5dは、全て同一の構成を有するもので、補間手段5a乃至5dのそれぞれは、図3に示すように、BB信号入力端子501と、BB信号入力端子501に接続されたメモリ手段502と、メモリ手段502の出力側に接続された補間信号発生手段503と、補間信号発生手段503の出力に接続されたBB信号出力端子504と、クロック入力端子505とを備えている。クロック入力端子505は、メモリ手段502の別の入力と、補間信号発生手段503の制御端子とに接続される。

【0019】図4は図1に示したアンテナ受信装置に係わる信号波形を示した図であり、アンテナ素子1a乃至1dから第2スイッチ手段4までに使用される信号波形を示した図である。図4では、クロック発生器8の出力(A1)と、第1スイッチ手段2における切換状態(A2)と、遅延器9の出力(A3)と、受信手段3の出力(A4)と、第2スイッチ手段4における切換状態(A5)とその出力(A6)とを、同じ時間軸で表示している。受信手段3の出力(A4)及び第2スイッチ手段4の出力(A6)におけるマーク(黒色星印：★)は、遅延器9の出力に同期して受信手段3のA/D変換器303でサンプリングとA/D変換された離散デジタル信号、及び第2スイッチ手段4にて分離抽出された離散デジタル信号を示す。また、A4にて破線で示した曲線はA/D変換器303を使用せずに処理すると仮定した場合のBB信号の連続アナログ信号の時間変化を示す。

【0020】図5は、図1に示したアンテナ受信装置における補間手段5a乃至5dに係わる信号波形を示した図であり、補間手段5a乃至5dにおいて補間処理に使

用される信号(A7)と、遅延器9の出力(A3)と、補間手段5a乃至5dの出力(A8)と、分周器10の出力(A9)とを、同じ時間軸で表示したものである。なお、A8における各波形のマーク(白色丸印：○、白色三角印：△、白色四角印：□、白色逆三角印：▽)は、補間手段5a乃至5dのそれぞれにおいて補間処理されて得られる離散デジタル信号を示し、破線で示した曲線は受信手段3においてA/D変換器303を使用せずに処理すると仮定した場合の各種の連続アナログ信号の時間変化を示す。

【0021】次に、図1に示したアンテナ受信装置の動作について、図1乃至図5を参照して説明する。なお、従来のアンテナ受信装置の説明と同様に、アンテナ素子1a乃至1dは大地に対して水平な同一円周上に、等角度間隔で配置されているものとして説明する。まず、送信デジタル信号によりQPSK変調された無線信号が同一信号源から送信されると、4つのアンテナ素子1a乃至1dはそれぞれその信号電波を捕捉して、受信信号として第1スイッチ手段2に供給する。次に、第1スイッチ手段2は、アンテナ素子1a乃至1dから入力する受信信号を、クロック発生器8から出力されるクロック信号(A1)に同期して切り換えて受信手段3に出力する。

【0022】クロック発生器8から出力されるクロック信号(A1)では、従来のアンテナ受信装置におけるクロック発生器80から出力されるクロック信号(図9のB1)と比較して、その周波数を4倍(周期を4分の1)としている。この倍率は、アンテナ素子の数と同じ値に設定されるものであり、この実施例ではアンテナ素子1a乃至1dの数が4つであるので、4倍としている。従って、第1スイッチ手段2における切換状態(A2)は以下に説明するように遷移する。時間 $t_0'$ でクロック信号(A1)が立ち上がると、切換状態(A2)はI1となり、このときアンテナ素子1aに対応する受信信号が第1スイッチ手段2から出力され、時間 $t_1'$ まで連続して出力される。以下同様に、時間 $t_1'$ 、 $t_2'$ 、 $t_3'$ でクロック信号が立ち上がると、それぞれ切換状態(A2)がI2、I3、I4となり、アンテナ素子1b乃至1dに対応する受信信号が第1スイッチ手段2から順次出力され、時間多重した信号として受信手段3に供給される。

【0023】このとき、受信手段3では、時間多重化されたアンテナ素子毎の受信信号がRF信号入力端子301を介してBB信号発生器302に供給される。BB信号発生器302は、受信信号の増幅や周波数変換を施して、より低い周波数帯の信号であるBB信号に変換して、A/D変換器303に出力する。A/D変換器303は、クロック入力端子305から供給されるクロック信号(A3)に同期して、供給されるアナログ形式のBB信号をデジタル形式のBB信号に変換する。変換さ

れたデジタル形式のBB信号(A4)はBB信号出力端子304を介して、受信手段3から出力される。

【0024】ここで、クロック入力端子305に供給されるクロック信号(A3)は、クロック発生器8が出力するクロック信号(A1)を、遅延器9にて時間 $\Delta t$ だけ遅延させたクロック信号である。なお、時間 $\Delta t$ は、第1スイッチ手段2の複数の入力端子からBB信号発生器302の出力端子までの遅延時間をもとに設定される時間で、アンテナ素子1a乃至1dのそれぞれに対応するBB信号が、A/D変換器303の入力端にて安定に得られるように決定される。

【0025】続く第2スイッチ手段4では、時間多重化されたBB信号(A4)が受信手段3から供給されると、アンテナ素子1a乃至1dのそれぞれに対応するBB信号を分離抽出し、遅延器9から出力されるクロック信号(A3)に同期して、BB信号を対応する補間手段5a乃至5dに出力する。ここで、第2スイッチ手段4における切換状態(A5)は以下に説明するように遷移する。時間t0でクロック信号(A3)が立ち上がると、切換状態(A5)が01となり、このときのBB信号S0がアンテナ素子1aに対応する出力端子に出力され、次に切り換えが発生する時間t4まで出力端子の信号(A6)の出力値が保持される。以下同様にして、時間t1、t2、t3でクロック信号が立ち上がると、それぞれ切換状態(A5)が02、03、04となり、このときのBB信号S1、S2、S3がそれぞれアンテナ素子1b乃至1dの対応する出力端子に出力され、次に切り換えが発生する時間t5、t6、t7までそれぞれの信号(A6)の出力値が保持される。以降、時間t4乃至t8でクロック信号(A3)が立ち上がった場合も同様となる。

【0026】次に、補間手段5a乃至5dは、第2スイッチ手段4の対応する出力を受けて、それぞれBB信号入力端子501を介してメモリ手段502にBB信号を格納する。補間信号発生手段503は、メモリ手段502に格納されているBB信号を基に隣接したBB信号を直線近似して、指定されたタイミングでのBB信号を1次補間して算出し、算出された補間BB信号を出力端子504に出力する。ここで、補間手段5a乃至5dのそれぞれに含まれる補間信号発生手段503の動作を、図5を参照して説明する。なお、現在の時間をt8とし、アンテナ素子1a乃至1dのそれぞれに対応するメモリ手段502には、時間t0乃至t7までのBB信号が格納されているものとして説明する。また、メモリ手段502に格納されているBB信号を1次補間して算出するタイミングは、図示しない制御手段により、アンテナ素子1aに対応する第2スイッチ手段4の出力BB信号(A6)の#1系列の信号のタイミングに指定されているものとする。

【0027】まず、アンテナ素子1aに対応する補間手

段5aの補間信号発生手段503では、アンテナ素子1aに対応するBB信号のタイミングで補間信号を生成するように指定されているので、そのままBB信号を補間BB信号(A7)の#1系統の信号としてBB信号出力端子504に出力する。ここで、アンテナ素子1b乃至1dに対応する補間手段5b乃至5dのそれぞれの補間信号発生手段503での信号遅延を考慮して、遅延器9の出力であるクロック信号(A3)の4クロック分の時間だけBB信号を遅延させて出力する。例えば、時間t8においてアンテナ素子1aに対応する補間手段5aの補間信号発生手段503から出力される信号は、時間t8より4クロック前の時間t4におけるBB信号S4である。

【0028】次に、アンテナ素子1bに対応する補間手段5bの補間信号発生手段503では、アンテナ素子1aに対応するBB信号のタイミングで補間信号を生成する。例えば、時間t8においては、メモリ手段502に時間t0乃至t7までのBB信号が格納されているので、アンテナ素子1aに対応するBB信号がひとつ得られている時間t4において、アンテナ素子1bに対応する補間BB信号を算出する。このとき、まず、時間t1におけるBB信号S1と、時間t5におけるBB信号S5とを直線で近似する。次に、BB信号S1とBB信号S5とを用いて1次補間により、補間BB信号(A7)の#2系統の信号を $(S5 - S1) \times (t4 - t1) / (t5 - t1) + S1$ により算出する。ここで、 $(t4 - t1)$ と $(t5 - t1)$ とは、3対4の関係があるのでこの関係を適用すると、補間BB信号は $(3 \times S5 + S1) / 4$ として算出される。なお、アンテナ素子1b乃至1dに対応する補間手段5b乃至5dのそれぞれの補間信号発生手段503での信号遅延を考慮して、時間t4における補間BB信号は時間t8において補間信号発生手段503から出力される。

【0029】アンテナ素子1cとアンテナ素子1dに対応する補間手段5c、5dの補間信号発生手段503でも、アンテナ素子1bに対応する補間信号発生手段503の動作と同様に、アンテナ素子1aに対応するBB信号のタイミングで補間信号を生成する。時間t4において、アンテナ素子1cに対応する補間BB信号(A7)の#3系統の信号を算出すると $(S6 + S2) / 2$ となり、また、アンテナ素子1dに対応する補間BB信号(A7)の#4系統の信号を算出すると $(S7 + 3 \times S3) / 4$ となる。いずれの補間BB信号も、対応する補間信号発生手段503から時間t8に出力される。なお、これまでは時間t8を例にとって補間BB信号を出力する補間手段5a乃至5dの動作を説明したが、アンテナ素子1aに対応するBB信号のタイミングが得られる他の時間t4とt12においても、同様に補間BB信号(A8)が算出される。

【0030】以上のように、アンテナ素子1a乃至1d

に対応する補間手段5 a乃至5 dの補間B B信号がそれぞれに対応する補間信号発生手段5 0 3で算出され、B B信号出力端子5 0 4を介して出力され、アンテナ素子1 aに対応するB B信号のタイミングに同期して合成手段6の対応する入力に供給される。

【0031】ここで、分周器1 0は、遅延器9から入力するクロック信号(A 3)をアンテナ素子の数だけ分周して、合成手段6と復調手段7とに供給する。本実施の形態においては、アンテナ素子の数は4つなので、4分周される。このとき、分周器1 0が出力するクロック信号(A 9)の立ち上がりは、補間手段5 a乃至5 dにおける補間タイミングとして指定された、アンテナ素子1 aに対応する第2スイッチ手段4の出力B B信号のタイミングに同期するように、図示しない制御手段により制御されている。

【0032】そして、合成手段6が、補間手段5 a乃至5 dから図5のA 8に示されるような補間B B信号を入力し、同時に、合成手段6のクロック入力端子6 0 6が図5のA 9に示されるようなクロック信号を入力すると、合成手段6及び復調手段7では、従来のアンテナ受信装置における合成手段6及び復調手段7と同様の動作が行われる。なお、補間B B信号(A 8)が出力されるタイミングは、従来のアンテナ受信装置におけるB B信号(B 1)と比較すると、遅延している。ただし、分周器1 0の出力であるクロック信号の立ち上がりに同期した補間B B信号(A 8)と、クロック発生器8 0のクロック信号の立ち上がりに同期したB B信号(B 1)とを比較すると、クロック信号の立ち上がりを基準にして比較すれば、補間B B信号(A 8)とB B信号(B 1)とは同じ信号である。

【0033】このように、アンテナ受信装置の本実施の形態によれば、受信手段が1つであっても、従来のアンテナ受信装置と同様に、合成手段6と復調手段7とを動作させることができ、復調手段7においてS N比が高くなったB B信号を基に、従来のQ P S K復調して、送信デジタル信号を復号することができる。

【0034】次に、本発明のアンテナ受信装置の第二の実施の形態について説明する。第二の実施の形態は、第一の実施の形態における補間手段5 a乃至5 dを、図6に示す補間手段に置き換えたもので、他の部分は第一の実施の形態と同じである。補間手段5 a乃至5 dについて、図6に示したその構成を図3に示した構成と比較すると、図3における補間信号発生手段5 0 3が、図6には低域通過型フィルタ手段5 0 6に置き換わっている点異なるが、その他の構成には違いがない。

【0035】図7は、補間手段5 a乃至5 dのに係わる信号波形を比較した図であり、補間手段5 a乃至5 dのそれぞれにおいて低域通過型フィルタ手段5 0 6でフィルタ処理に使用される信号(A 1 0)と、遅延器9の出力(A 3)と、補間手段5 a乃至5 dの出力(A 1 1)

と、分周器1 0の出力(A 9)とを、同じ時間軸で表示したものである。図7において、A 1 0におけるマーク(黒色星印：★)は、低域通過型フィルタ手段5 0 6においてフィルタ処理に使用される信号(A 1 0)の離散デジタル信号値を示す。ここで、黒色星印で示される離散デジタル信号は、アンテナ素子1 a乃至1 dのそれぞれに対応する補間手段5 a乃至5 dのそれぞれのメモリ手段5 0 2に格納されている第2スイッチ手段4の出力(A 6)を、遅延器9の出力(A 3)に同期してサンプリングした信号と同じである。また、A 1 0及びA 1 1における各波形のマーク(白色丸印：○、白色三角印：△、白色四角印：□、白色逆三角印：▽)は、図5の場合と同様に、補間手段5 a乃至5 dにおいてフィルタ処理されて得られる離散デジタル信号を示し、A 1 1に破線で示した曲線は受信手段3においてA/D変換器3 0 3を使用せずに処理すると仮定した場合の連続アナログ信号の時間変化を示す。

【0036】そこで、補間手段5 a乃至5 dの第1の構成例と第2の構成例とにおいて構成上の違いがある低域通過型フィルタ手段5 0 6について、その構成と動作を図6と図7を参照して説明する。まず、図6に示すように、4つの補間手段5 a乃至5 dのそれぞれにおける低域通過型フィルタ手段5 0 6は、入力(フィルタ入力端子5 1 1)がメモリ手段5 0 2の出力に接続され、出力(フィルタ出力端子5 1 2)がB B信号出力端子5 0 4に接続される。また、クロック入力端子5 0 5は、メモリ手段5 0 2の別の入力と、低域通過型フィルタ手段5 0 6の別の入力(クロック入力端子5 1 3)に分配して接続される。

【0037】ここで、低域通過型フィルタ手段5 0 6は、9つの乗算手段5 0 7 a乃至5 0 7 iと、9つのフィルタ係数記憶手段5 0 8 a乃至5 0 8 iと、8つの信号遅延手段5 0 9 a乃至5 0 9 hと、第2加算手段5 1 0と、フィルタ入力端子5 1 1と、フィルタ出力端子5 1 2と、クロック入力端子5 1 3とから構成される。一般に、図6に示される低域通過型フィルタ手段5 0 6は、非巡回型フィルタ、または、F I R (Finite Impulse Response)型フィルタと呼ばれ、特にフィルタ処理に使用されるB B信号の数(信号遅延手段の数+1)が9つであるので、9次の非巡回型フィルタ、または9次のF I Rフィルタと呼ばれる。

【0038】図6に示すように、低域通過型フィルタ手段5 0 6において、フィルタ入力端子5 1 1は乗算手段5 0 7 aの入力と信号遅延手段5 0 9 aの入力に接続され、フィルタ係数記憶手段5 0 8 aの出力は乗算手段5 0 7 aの他の入力に接続される。また、信号遅延手段5 0 9 aの出力は、乗算手段5 0 7 bの入力と信号遅延手段5 0 9 bの入力に接続され、フィルタ係数記憶手段5 0 8 bの出力は乗算手段5 0 7 bの他の入力に接続される。同様にして、信号遅延手段5 0 9 b乃至5 0 9 hの



出力は、それぞれ乗算手段507c乃至508hの入力と、信号遅延手段509c乃至509hの入力に接続され、フィルタ係数記憶手段508c乃至508hの出力は、それぞれ乗算手段507c乃至507hの他の入力に接続される。更に、信号遅延手段509hの出力は、乗算手段507iの入力に接続され、フィルタ係数記憶手段508iの出力は乗算手段507iの他の入力に接続される。

【0039】そして、第2加算手段510は、入力が乗算手段507a乃至507iの対応する出力に接続され、出力はフィルタ出力端子512に接続される。なお、低域通過型フィルタ手段506は、クロック入力端子513から入力するクロック信号に同期して動作する。

【0040】次に、補間手段5a乃至5dのに含まれる低域通過型フィルタ手段506の動作を、図6と図7を参照して説明する。なお、メモリ手段502に格納されているBB信号をフィルタ処理して出力するタイミングは、補間手段5a乃至5dのの補間信号発生手段503の説明と同様に、図示しない制御手段により、アンテナ素子1aに対応する第2スイッチ手段4の出力BB信号のタイミングに指定されているものとする。

【0041】まず、第2スイッチ手段4から供給されたBB信号(A6)は、対応する補間手段5a乃至5dのメモリ手段502に格納される。続いて、メモリ手段502から出力されるBB信号をクロック入力端子513から供給されるクロック信号(A3)に同期して取り込み、信号遅延手段509aと乗算手段507aとに供給する。信号遅延手段509a乃至509hのそれぞれは、入力するBB信号をクロック信号(A3)の1クロック分の時間だけ遅延させて出力するものであり、8つの信号遅延手段509a乃至509hが直列に接続されているので、ある時間においては、現在のBB信号値とその直前に取り込んだ8つのBB信号値が、それぞれ乗算手段507a乃至507iに供給される。例えば、現在の時間がt8である場合、時間t8でのBB信号値が乗算手段507aに供給されるが、時間t8以前の時間t7からt0までのBB信号(A10)が乗算手段507b乃至507iに供給される。

【0042】乗算手段507a乃至507iは、入力する9つのBB信号とフィルタ係数記憶手段508a乃至508iに記憶されているフィルタ係数との積をそれぞれ算出して、加算手段510に出力する。続いて、加算手段510は、9つの乗算手段507a乃至507iの出力を加算処理して、フィルタ出力端子512に出力する。このとき、フィルタ係数記憶手段508a乃至508iに記憶されているフィルタ係数は、図7のA10に示されるBB信号のうち、基本波成分のみを通過させる低域通過型の特性を持つように設計され、設計されたフィルタ係数が図示しない制御手段によりフィルタ係数記

憶手段508a乃至508iに格納されたものである。

【0043】ここで、フィルタ出力端子512にフィルタ処理されたBB信号が出力されるまでの過程を、図7により詳細に説明する。第一の実施の形態と同様に、現在の時間がt8とした例で説明する。乗算手段507a乃至507iのBB信号の入力側には時間t8から時間t0までの離散BB信号(A10)の黒色星印で示される信号が供給されている。乗算手段507a乃至507iにおいて、フィルタ係数記憶手段508a乃至508iに格納されているフィルタ係数と、時間t8から時間t0までの離散BB信号との積をそれぞれ算出し、第2加算手段510で9つの積を加算して出力すると、時間t8から時間t0までに示されるパルス状のBB信号を低域フィルタにかけて信号変化を滑らかにしたようなBB信号が得られる。具体的には、アンテナ素子1b乃至1dに対応するBB信号(A10)の#2乃至#4系統の信号の場合、それぞれ時間t8から時間t0までの離散BB信号により算出されるフィルタ出力は、時間t4で白色三角印、白色四角印、白色逆三角印で示されるBB信号値となる。

【0044】ここで、巡回型フィルタまたはFIRフィルタの出力の遅延時間は、フィルタの入力系列時間の1/2相当となるので、時間t8から時間t0までの離散BB信号が供給されている場合には、フィルタ処理された時間t4でのBB信号が時間t8にフィルタ出力として出力される。例えば、先の具体例で示したA10の#2乃至#4系統の信号のように、時間t4で白色三角印、白色四角印、白色逆三角印で示されるフィルタ処理後のBB信号が算出されても、実際には時間t8においてそれぞれのBB信号が出力される。

【0045】なお、アンテナ素子1aに対応するBB信号については、アンテナ素子1aに対応する第2スイッチ手段4の出力のタイミングに同期するように指定されているので、これに対応する低域通過型フィルタ手段506では、入力するBB信号を $(t8 - t0) / 2$ だけ遅延させる。これは、アンテナ素子1aに対応するフィルタ係数記憶手段508a乃至508iのうち、フィルタ係数記憶手段508eのフィルタ係数値(C5)を1とし、その他のフィルタ係数記憶手段508a乃至508d、およびフィルタ係数記憶手段508f乃至508iのフィルタ係数値を全て0とすることと同じである。例えば、時間t8において、BB信号としてS8が低域通過型フィルタ手段506に入力されるが、この時間における低域通過型フィルタ手段506の出力はS4となる。

【0046】これまでは時間t8を例にとりて、低域通過型フィルタ手段506のフィルタ出力信号を得るまでの動作を説明したが、アンテナ素子1aに対応するメモリ手段502のBB信号のタイミングが得られる他の時間t4と時間t12においても、同様にフィルタ処理さ

れたBB信号(A11)が算出される。また、分周器10が出力するクロック信号(A9)の立ち上がりは、補間手段5a乃至5dにおける補間タイミングとして指定された、アンテナ素子1aに対応するBB信号のタイミングに同期するように、図示しない制御手段により制御されているので、低域通過型フィルタ手段506の出力のタイミングとも同期する。

【0047】以上説明したように、補間手段5a乃至5dを用いて出力される低域フィルタ処理後のBB信号(図7のA11)と、補間手段5a乃至5dから出力される補間BB信号(図5のA8)とは同じ信号となる。従って、補間手段5a乃至5dに続く合成手段6でも、従来のアンテナ受信装置における合成手段6と同様の動作が行われ、それに続く復調手段7も、従来のアンテナ受信装置における復調手段7と同様の動作が行われる。

【0048】このように、補間手段5a乃至5dを用いた構成としても、従来のアンテナ受信装置と同様に、合成手段6と復調手段7とを動作させることができ、復調手段7においてSN比が高くなったBB信号を基に、従来のQPSK復調して、送信デジタル信号を復号することができる。

【0049】なお、これまでの実施の形態においては、アンテナ素子の数を4つとして同一円周上に配置されるものとして説明したが、本発明のアンテナ受信装置において扱えるアンテナ素子の数は4つに限定されるものではなく、それ以外の数であっても同様に動作させることができ、配列方法も同一円周上の配列に限定されるものではない。

【0050】また、第一の実施の形態の補間信号発生手段503において、指定されたタイミングの前後各1個のBB信号を1次補間して補間BB信号を算出するものとして説明したが、本発明のアンテナ受信装置において使用できる補間方法はこれに限定されるものではなく、指定されたタイミングの前後複数個のBB信号を高次の補間を行って補間BB信号を算出することもできる。

【0051】更に、第二の実施の形態の低域通過型フィルタ手段506は、9次の非巡回型フィルタ、または9次のFIRフィルタであるものとして説明したが、本発明のアンテナ受信装置において使用できる低域フィルタの方法はこれに限定されるものではなく、低域通過型フィルタ手段506に入力するBB信号の基本波成分のみを通過させる低域通過型特性を持つように設計されれば、フィルタ係数の数(次数)や、構成(非巡回型、またはFIR型)の制限はない。

【0052】なお、前記補間手段5a乃至5dの補間信号発生手段503で1つの信号タイミングに同期したBB信号に変換するときに、信号処理の負荷が大きく回路実装が難しい除算演算が必要であるが、前記補間手段5a乃至5dの補間信号発生手段503を低域通過型フィルタ手段506とすることにより、除算演算を含まない

ようにすることができるので、信号処理の負荷が少なく回路実装も容易にできるという効果がある。

#### 【0053】

【発明の効果】以上のように、本発明のアンテナ受信装置よれば、複数のアンテナで捕捉した信号を互いにタイミングをずらして1つの出力端子から出力する第1スイッチ手段を受信手段の入力側に設け、また受信手段の出力側に第1スイッチ手段の出力タイミングに関連付けて複数の端子から信号を出力する第2スイッチ手段を設けているので、複数のアンテナで捕捉された無線信号がタイミングのずれた信号にそれぞれ変換され、更に、それぞれ補間手段により1つの信号タイミングに同期した信号に変換されて利用可能な信号となるので、受信手段の数は1つで済む。これにより、従来のアンテナ受信装置と比較すると、構造的に小型にすることができる。また、本案によるアンテナ受信装置は1つの受信手段のみであるので、従来のアンテナ受信装置で必要であった4つの受信手段の特性を揃えるための調整工程を不要とすることができる。

#### 【図面の簡単な説明】

【図1】本発明によるアンテナ受信装置の第一の実施の形態を示すブロック図である。

【図2】図1に示した受信手段の構成を示すブロック図である。

【図3】図1に示した補間手段の構成を示すブロック図である。

【図4】図1に示したアンテナ受信装置において、複数のアンテナ素子から第2スイッチ手段までに観測される信号波形の一例を示す信号波形図である。

【図5】図1に示したアンテナ受信装置において、複数の補間手段と、遅延器と、分周器とで観測される信号波形の一例を示す信号波形図である。

【図6】本発明によるアンテナ受信装置の第二の実施の形態における補間手段の構成を示すブロック図である。

【図7】図6に示した第二の実施の形態における補間手段と、遅延器と、分周器とで観測される信号波形の一例を示す信号波形図である。

【図8】従来のアンテナ受信装置の構成を示すブロック図である。

【図9】図8に示した受信手段の構成を示すブロック図である。

【図10】図1及び図8に示した合成手段の構成を示すブロック図である。

【図11】従来のアンテナ受信装置において観測される信号波形の一例を示す信号波形図である。

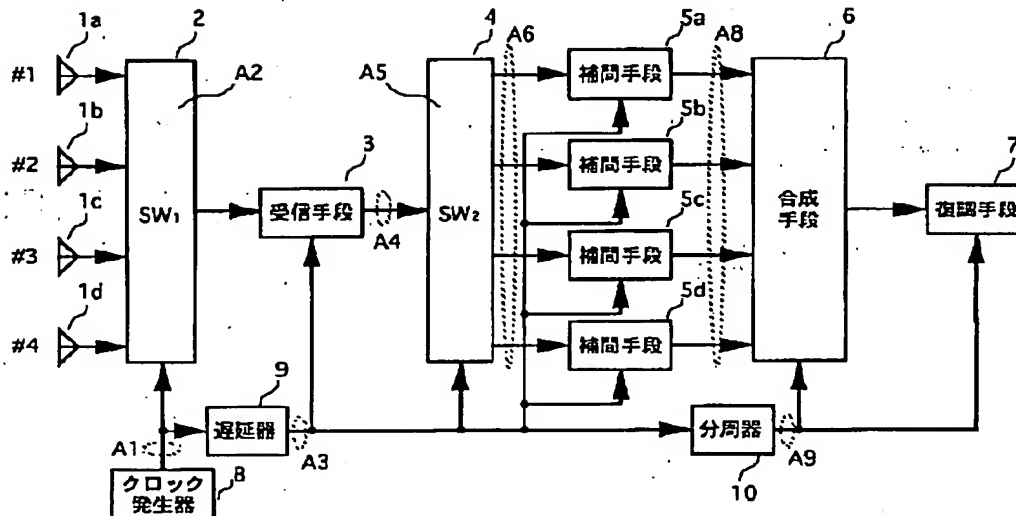
#### 【符号の説明】

- 1a乃至1d アンテナ素子
- 2 第1スイッチ手段
- 3 受信手段
- 4 第2スイッチ手段

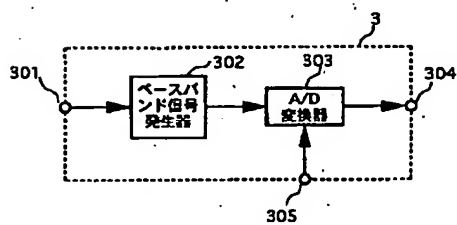
5 a乃至5 d 補間手段  
6 合成手段  
7 復調手段

8 クロック発生器  
9 遅延器  
10 分周器

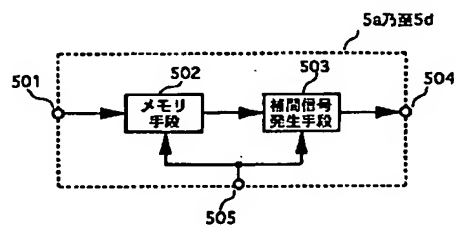
【図1】



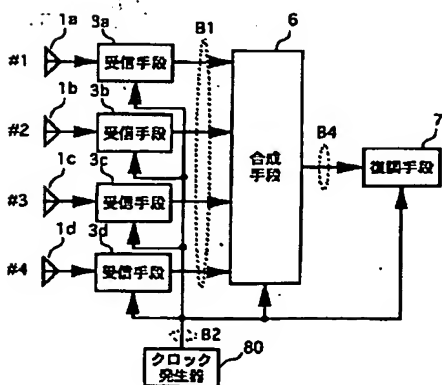
【図2】



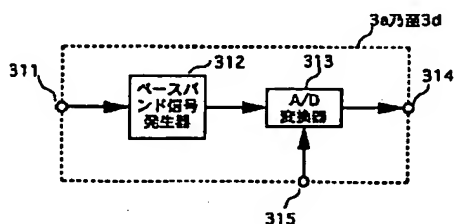
【図3】



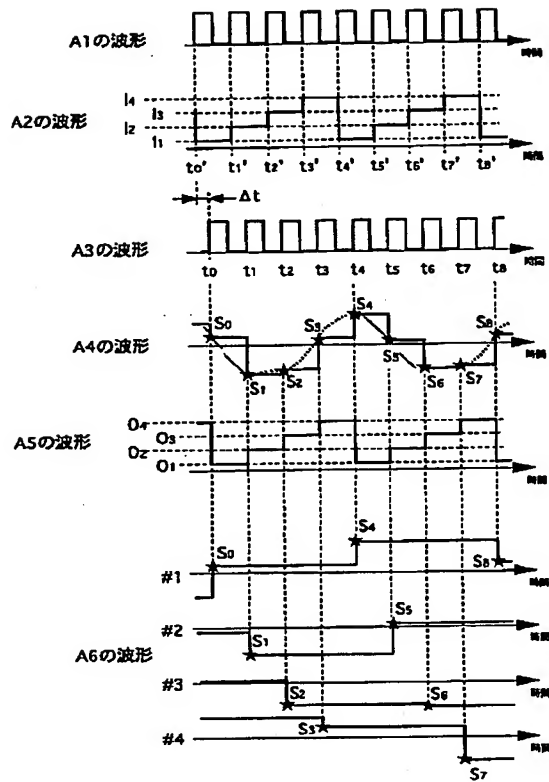
【図8】



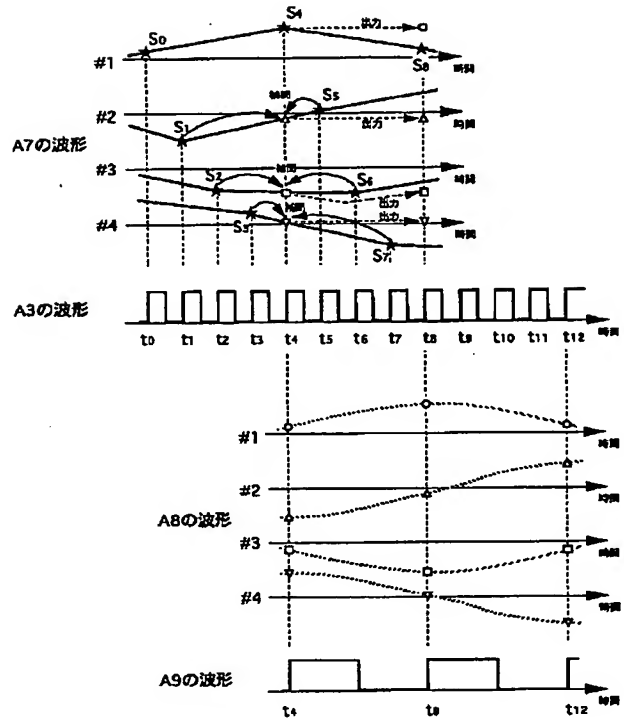
【図9】



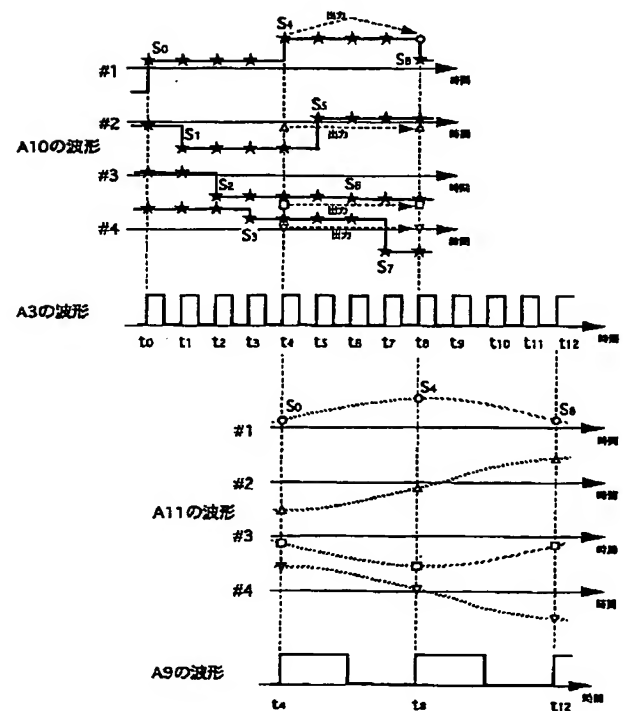
【図4】

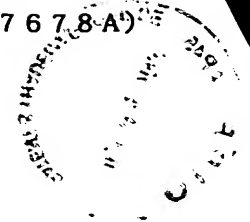


【図5】

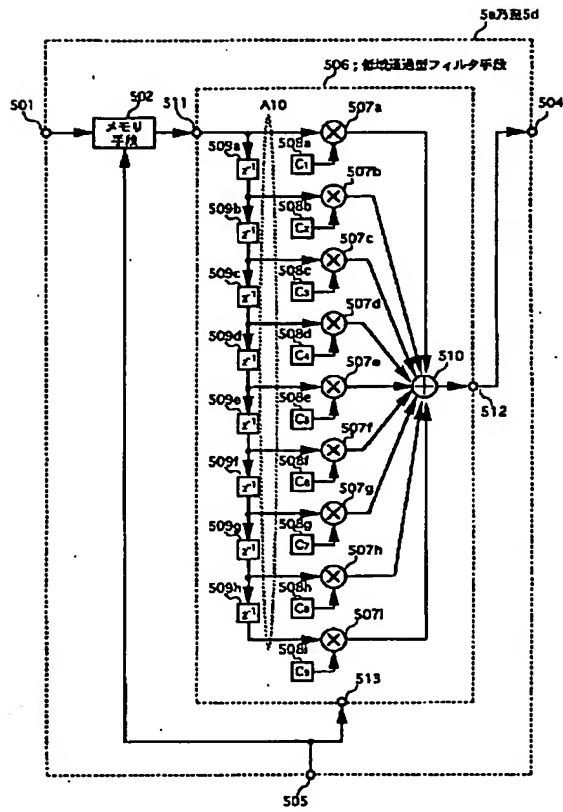


【図7】

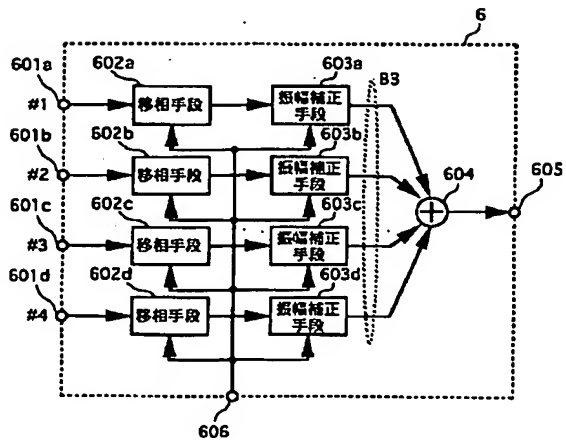




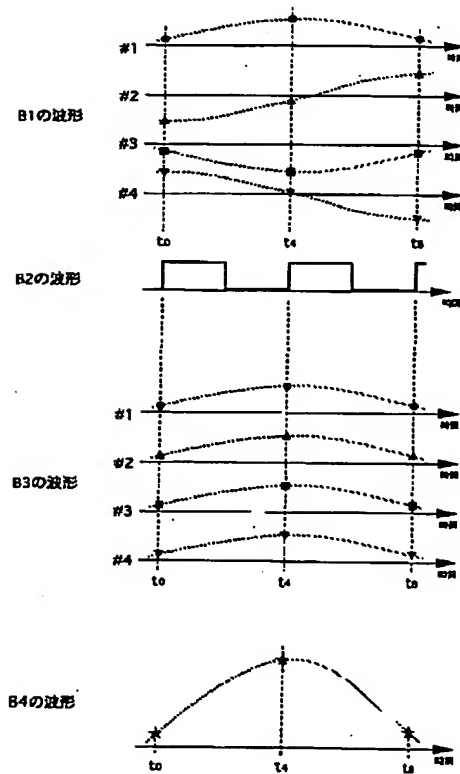
【図6】



【図10】



【図11】





ロンページの続き

F ターム(参考) 5J021 AA05 AA06 CA06 DB02 DB03  
DB04 EA04 FA06 FA14 FA17  
FA20 FA24 FA26 FA31 FA32  
GA02 GA06 GA08 HA05 HA10  
JA07  
5K052 AA12 BB02 DD01 EE02 EE40  
FF29 FF31 GG19  
5K059 CC03 CC09 DD27 DD35 EE02